

УДК 681.32

**АЛГОРИТМИ ШВИДКОДІЮЧИХ ПРОЦЕСОРІВ САР РЕАЛЬНОГО ЧАСУ,
ПРАЦЮЮЧИХ У ЗАМКНУТОМУ КОНТУРІ КЕРУВАННЯ**

Б.В. Дурняк, І.Т. Стрєнко, О.В. Тимченко

Розглядається задача синтезу швидкодіючих алгоритмів процесорів цифрових систем автоматичного регулювання (САР) поліграфічним обладнанням реального часу в замкнутому контурі керування на основі різницевих підходів і рециркуляції.

Рассматривается задача синтеза быстродействующих алгоритмов процессоров цифровых систем автоматического регулирования (САР) полиграфическим оборудованием настоящего времени в замкнутом контуре управления на основе разностных подходов и рециркуляции.

Побудова САР поліграфічним обладнанням має ряд особливостей, до яких у першу чергу належить висока точність, еквівалентна 12–16 двійковим розрядам. Для формування сигналів з такою точністю необхідна обробка сигналів з такою ж і вищою розрядністю, що вимагає відповідних апаратурних витрат. Тому реалізація достатньо складних алгоритмів, які характерні для певних класів систем керування поліграфічним обладнанням, обмежена як по швидкодії, так і по апаратурній складності [1]. Зазначимо, що метод підвищення швидкодії шляхом зменшення розрядності призводить до зниження точності систем і тому має обмежене застосування. Через обмеження на затрати апаратури при реалізації процесорів САР не завжди можна застосувати розпаралелювання обробки, наприклад, порозрядне, оскільки вказані витрати збільшуються пропорційно ступеневі розпаралелювання [2].

Особливо високі вимоги ставляться до систем, які працюють у замкнутому контурі керування швидкоплинними процесами, через запізнення даних у процесі аналого-цифрового перетворення й обробки неперервного сигналу [3]. В цьому випадку швидкодія процесорів при заданій роздільній здатності є одним з найбільш важливих параметрів системи.

У порівнянні з традиційним аналого-цифровим перетворенням, що називається імпульсно-ковою модуляцією (ІКМ), для забезпечення заданої роздільної здатності подання сигналів з одночасним раціональним зменшенням їх розрядності в САР застосовуються різні методи подання сигналів і різні методи обчислень [1, 4, 5]. Вони мають ряд переваг у порівнянні з традиційними, основною з яких є менша розрядність (у деяких видах різницевого подання рівна одиниці) при однаковій роздільній здатності.

Застосування таких методів вимагає розробки нових підходів до перетворення, обробки і формування сигналів у САР реального часу, що працюють у замкнутому контурі керування.

У цифрових САР алгоритм функціонування процесора регулятора системи при обмеженій довжині імпульсної характеристики (ІХ) можна подати у вигляді згортки [1]:

$$z_n = \sum_{m=0}^{M-1} x_{n-m} h_m, \tag{1}$$

де $\{x_n\}, n > 0, \{z_n\}, n > 0$ — відліки вхідного та вихідного сигналів регулятора; $\{h_m\}, m = \overline{0, M-1}$ — імпульсна характеристика регулятора.

Для отримання зручних алгоритмів функціонування введемо такі позначення для вхідного $X_n = \|x_1, \dots, x_n\|^T$ і вихідного сигналів $Z_n = \|z_1, \dots, z_n\|^T$ та оператори:

$$H_n^t = \begin{pmatrix} 0 & \dots & \dots & \dots & 0 \\ 1 & 0 & \dots & \dots & 0 \\ 0 & 1 & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & 1 & 0 \end{pmatrix}, \tag{2}$$

$$B_n^{(l)} = \sum_{i=1}^n \sum_{k=1}^{n-i+1} (H_n^t)^{k+i-2}, B_n^{(h)} = \sum_{m=0}^{M-1} h_m (H_n^t)^m. \tag{3}$$

Тут H_n^t — оператор зсуву (рециркуляції), поданий матрицею розміром $n \times n$ [6]. Перемноження її на матрицю-стовпець зсуває елементи стовпця на одиницю вниз, що забезпечує рециркуляцію. Зазначимо, що $(H_n^t)^q = 0, q \geq n, (H_n^t)^0 = I_n, I_n$ — одинична матриця.

Застосуємо різницеве подання дискретного сигналу $\{z_k\}$ на основі виділення його перших $\{\nabla z_k\}$ і других $\{\nabla^2 z_k\}$ різниць

$$z_n = z_{n-1} + \nabla z_n = z_{n-1} + \sum_{k=1}^n \nabla^2 z_k, \nabla z_0 = \nabla^2 z_0 = 0. \quad (4)$$

На основі алгоритму (4) можна подати вхідний і вихідний сигнали процесора, а також коефіцієнти імпульсної характеристики. Виділимо перші різниці вказаних сигналів

$$s_k^{(x)} = \hat{x}_k - \hat{x}_{k-1}, s_m^{(h)} = \hat{h}_m - \hat{h}_{m-1}, \quad (5)$$

де $\{s_k^{(x)}\}, k > 0, \{s_m^{(h)}\}, m = 0, M-1$ — кроки вхідного сигналу та нерекурсивної частини ІХ; $\{\hat{x}_k\}, \{\hat{h}_m\}$ — квантовані значення відліків у моменти дискретизації. Аналогічно, за допомогою перших $\{\nabla z_k\}$ і других $\{\nabla^2 z_k\}$ різниць, можуть бути подані вихідний сигнал процесора $\{z_k\}$ та його перша різниця:

$$\begin{aligned} \nabla z_n &= z_n - z_{n-1}, z_0 = 0; \\ \nabla^2 z_n &= \nabla z_n - \nabla z_{n-1}, \nabla z_0 = 0. \end{aligned} \quad (6)$$

Кодування кроків $\{s_i^{(x)}\}$ та $\{s_m^{(h)}\}$ залежить від різницевого подання і у випадку широко застосовуваного подання з диференціальною ІКМ (ДІКМ) здійснюється у вигляді

$$s_i^{(j)} = p_i^{(j)} s_{mm}^{(j)},$$

де $p_i^{(j)} = E_i^{(j)} \min[|x_i - \hat{x}_i| / s_{mm}^{(j)} + A, ENT(k_p^{(j)} / 2)]$ — цифровий еквівалент кроку; $s_{mm}^{(j)}$ — мінімальний ненульовий крок; $E_i^{(j)} \in \{-1, 1\}$ — знак кроку; $k_p^{(j)}$ — кількість рівнів квантування цифрового подання; $\{x_i\}, \{\hat{x}_i\}$ — сигнал і його квантоване значення в моменти дискретизації; $A = 0,5$ для характеристики квантувача з центральним подавленням та $0,9(9)$ — з центральним кліпуванням [5]; $ENT(.)$ — ціла частина $(.)$. Розрядність кроків $p_i^{(j)}$ суттєво нижча від повномірного ІКМ-подання при однаковій роздільній здатності, що і зумовлює обчислювальні переваги вказаного різницевого подання сигналів.

З врахуванням введених позначень отримуємо, що (1) може бути записане за допомогою перших або других різниць

$$Z_n = \sum_{i=1}^n (H_n^t)^{i-1} \nabla Z_n = \sum_{i=1}^n \sum_{k=1}^{n-i+1} (H_n^t)^{k+i-2} \nabla^2 Z_n, \quad (7)$$

$$\text{де } \nabla Z_n = \|\nabla z_1, \dots, \nabla z_n\|^T, \nabla^2 Z_n = \|\nabla^2 z_1, \dots, \nabla^2 z_n\|^T.$$

Позначимо $S_n^{(x)} = \|s_1^{(x)}, \dots, s_n^{(x)}\|^T$, тоді перша різниця згортки у форматі ДІКМ—ІКМ має вигляд

$$\nabla Z_n = \sum_{m=0}^{M-1} h_m (H_n^t)^m S_n^{(x)}, \quad (8)$$

а у форматі ІКМ—ДІКМ —

$$\nabla Z_n = \sum_{m=0}^{M-1} s_m^{(h)} (H_n^t)^m X_n. \quad (9)$$

Перша частина в позначенні формату відноситься до вхідного сигналу, друга — до ІХ. Друга різниця згортки має місце лише у форматі ДІКМ—ДІКМ:

$$\nabla^2 Z_n = \sum_{m=0}^{M-1} s_m^{(h)} (H_n^t)^m S_n^{(x)}. \quad (10)$$

Тоді з врахуванням (2)—(10) вихідний сигнал процесора нерекурсивного типу (на основі скінченної ІХ) можна подати так:

$$\begin{aligned} Z_n &= \sum_{i=1}^n \sum_{m=0}^{M-1} s_m^{(h)} (H_n^t)^{i+m-1} X_n = \\ &= \sum_{i=1}^n \sum_{m=0}^{M-1} h_m (H_n^t)^{i+m-1} S_n^{(x)} = \\ &= \sum_{i=1}^n \sum_{k=1}^{n-i+1} \sum_{m=0}^{M-1} s_m^{(h)} (H_n^t)^{k+i+m-2} S_n^{(x)} = \\ &= B_n^{(1)} B_n^{(h)} S_n^{(x)}. \end{aligned} \quad (11)$$

Звідси отримуємо матрицю передаточної функції процесора в термінах z-перетворення:

$$T(z) = \sum_{i=1}^n \sum_{m=0}^{M-1} h_m(z) (H_n^{(t)})^{i+m-1} = B_n^{(1)} B_n^{(h)}(z). \quad (12)$$

Запропоновані алгоритми (9)—(11) є основою для побудови швидкодіючих САР з будь-яким видом різницевого подання. Найбільш ефективно є різницеве подання вхідного сигналу, ІХ та вихідного сигналу процесора. Це забезпечує високу швидкість виконання операцій завдяки низькій розрядності подання.

На основі алгоритму (11), подання вхідного сигналу та ІХ за допомогою перших різниць (5) вихідний сигнал процесора (згортка) може бути записаний у вигляді

$$z_n = \sum_{i=1}^n \sum_{k=1}^i \sum_{m=0}^{M-1} s_{k-m}^{(x)} s_m^{(h)}, \quad (13)$$

де перша та друга різниці вихідного сигналу

$$\nabla z_i = \sum_{k=1}^i \nabla^2 z_k, \quad \nabla^2 z_k = \sum_{m=0}^{M-1} s_{k-m}^{(x)} s_m^{(h)}. \quad (14)$$

Алгоритми (13), (14) реалізують паралельно-послідовну роботу процесора регулятора, причому рециркуляцію зручно організувати як рециркуляцію неповних згорток. При цьому добутки для згортки отримують упродовж інтервалу дискретності кожного нового кроку квантування сигналу на кроки квантування ІХ, що надходять у рециркуляційному порядку [6]. Групування вказаних добутків для підсумовування з попередніми в цьому ж періоді здійснюється циклічним способом. Тому всі добутки, які відносяться до n-го періоду дискретності, одержуємо завжди на протязі $0(mod M)$ -го такту частоти T^{-1} . Наприклад, на рисунку для $M=4$ показана послідовність отримання добутків у комірках пам'яті (всі обведені по діагоналі значення відносяться до одного періоду дискретності T).

$s_{n-3}^{(x)} s_0^{(h)}$ (0)	$s_{n-2}^{(x)} s_0^{(h)}$ (1)	$s_{n-1}^{(x)} s_0^{(h)}$ (2)	$s_n^{(x)} s_0^{(h)}$ (3)
$s_{n-3}^{(x)} s_1^{(h)}$	$s_{n-2}^{(x)} s_1^{(h)}$	$s_{n-1}^{(x)} s_1^{(h)}$	$s_n^{(x)} s_1^{(h)}$
$s_{n-3}^{(x)} s_2^{(h)}$	$s_{n-2}^{(x)} s_2^{(h)}$	$s_{n-1}^{(x)} s_2^{(h)}$	$s_n^{(x)} s_2^{(h)}$
$s_{n-3}^{(x)} s_3^{(h)}$	$s_{n-2}^{(x)} s_3^{(h)}$	$s_{n-1}^{(x)} s_3^{(h)}$	$s_n^{(x)} s_3^{(h)}$
період 1	період 2	період 3	період 4

Числом у дужках позначено номер комірки, де формується друга різниця згортки. Рециркуляція здійснюється шляхом циклічного зміщення в кожному періоді T номерів комірок

пам'яті з неповною згорткою в бік випередження відносно номерів комірок пам'яті вагової послідовності на одиницю:

$$\begin{aligned} \nabla^2 z_{n-3} &= s_{n-3}^{(x)} s_0^{(h)} + s_{n-4}^{(x)} s_1^{(h)} + s_{n-5}^{(x)} s_2^{(h)} + s_{n-6}^{(x)} s_3^{(h)} \\ \nabla^2 z_{n-2} &= s_{n-2}^{(x)} s_0^{(h)} + s_{n-3}^{(x)} s_1^{(h)} + s_{n-4}^{(x)} s_2^{(h)} + s_{n-5}^{(x)} s_3^{(h)} \\ \nabla^2 z_{n-1} &= s_{n-1}^{(x)} s_0^{(h)} + s_{n-2}^{(x)} s_1^{(h)} + s_{n-3}^{(x)} s_2^{(h)} + s_{n-4}^{(x)} s_3^{(h)} \\ \nabla^2 z_n &= s_n^{(x)} s_0^{(h)} + s_{n-1}^{(x)} s_1^{(h)} + s_{n-2}^{(x)} s_2^{(h)} + s_{n-3}^{(x)} s_3^{(h)} \dots \end{aligned} \quad (15)$$

Низькорозрядний добуток, записаний у формулі (15) першим, формується в першому ж такті T/M , підсумовується з неповною згорткою $\nabla^2 z_n^{(M-1)}$ (тобто згорткою, яка має $M-1$ складових) і подається на вихід (оскільки він тепер має M складових і дорівнює другій різниці в (14)), наприклад:

$$\begin{aligned} \nabla^2 z_{n-1} &= s_{n-1}^{(x)} s_0^{(h)} + \nabla^2 z_{n-1}^{(M-1)} \\ \nabla^2 z_n &= s_n^{(x)} s_0^{(h)} + \nabla^2 z_n^{(M-1)} \dots \end{aligned} \quad (16)$$

Після виконання двох послідовних нагромаджень з послідовності значень (16) формується вихідний сигнал (13). Затримка його формування складає

$$t = t_{\text{ДІКМ}} + 3T/M, \quad (17)$$

де $t_{\text{ДІКМ}}$ — час аналого-цифрового перетворення різницевого сигналу [6]. Зазначимо, що при однаковій роздільній здатності ІКМ та ДІКМ час перемноження в (16), а також час аналого-цифрового перетворення $t_{\text{ДІКМ}} < t_{\text{ІКМ}}$, оскільки квантуванню й обробці підлягає значно менший діапазон зміни сигналу.

Отже, замість виконання M операцій перемноження і $M+1$ -го накопичення запропоновані алгоритми дозволяють без значних апаратних витрат отримати такий же результат за час одного додавання і перемноження сигналів та подачу керуючого сигналу процесора на об'єкт.

1. Тимченко О.В. Використання дельта-модуляції в системах автоматичного регулювання // Поліграфія і видавнича справа. 1996. № 31. С.111—115.
2. Дурняк Б., Стрєпко І., Тимченко О. Розпаралелювання обчислень на основі вибору методів різницевого подання сигналів в САК реального часу // Комп'ютерні технології друкарства. Львів, 1998. С.120—123.
3. Стрєпко І.Т., Тимченко О.В., Дурняк Б.В. Проектування систем керування на однокристальних мікро-ЕОМ. К., 1998.
4. Дурняк Б.В., Стрєпко І.Т., Тимченко О.В. Методика синтезу швидкодіючих систем з різницевим поданням сигналів // Прикладна математика. Вісник ДУ "Львівська політехніка", Львів. 1998. Т.2. №337. С.312—314.
5. Тимченко А.В. Новые методы цифровой фильтрации дельта-модулированных сигналов // Радиоэлектроника. 1998. Т.41. №9. С.41—48.
6. А.с. №1418908 СССР, МКИ Н03М3/02, Н03Н17/06. Цифровой фильтр с дельта-модуляцией / Тимченко А.В., Тимченко С.В. (СССР). №4218085/24-09; Заявл. 31.03.87. Оpubл. 23.08.88, Бюл. №31.